

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-190354

(43)Date of publication of application : 21.07.1998

(51)Int.Cl.

H03B 5/32

H03B 5/36

(21)Application number : 08-343515

(71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 24.12.1996

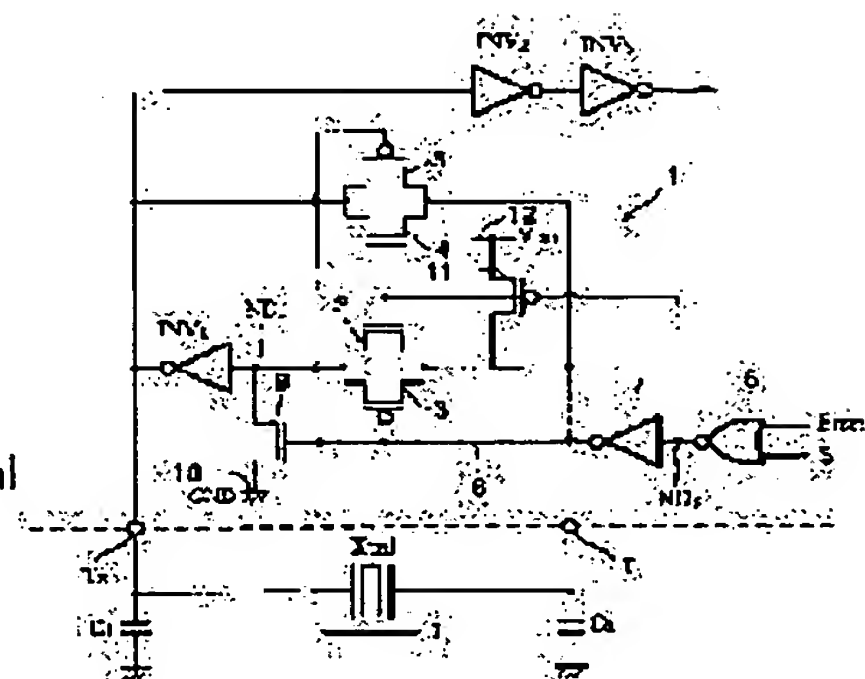
(72)Inventor : TAKAHASHI HIROSHI
YANAGIDA SUMISADA
KIMIZUKA HIROSHI

(54) CRYSTAL OSCILLATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To stop oscillation at the time of a standby mode and to reduce power consumption by promptly and stably activating the oscillation.

SOLUTION: This circuit is provided with a crystal oscillator Xtal, an inverter INV1 parallelly connected to it, switching resistance elements 4 and 5 and standby voltage setting means (first switching elements 2 and 3 and a second switching element 9) for disconnecting the input terminal of the inverter INV1 from the crystal oscillator Xtal and connecting it to a prescribed power supply voltage line 12 corresponding to the impressing of control signals S. By the disconnection and re-connection, the input terminal voltage of the inverter INV1 is raised from a ground potential to a positive power supply voltage VDD at once and the inverter INV1 is inverted by an nsec order normally and thus, the voltage of the full swing of 0V-VDD is instantaneously applied to both terminals of the crystal oscillator Xtal and a large trigger current I is made to flow.



LEGAL STATUS

[Date of request for examination]

12.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The ridge oscillator which is a ridge oscillator which has a quartz resonator and the negative feedback amplifying circuit connected to said quartz resonator and juxtaposition and by which the standby electrical-potential-difference setting means which separates the input edge concerned from said quartz resonator, and is connected to a predetermined supply voltage line according to impression of a control signal is connected to the input edge of said negative feedback amplifying circuit.

[Claim 2] the feedback resistance element by which said negative feedback amplifying circuit is connected to juxtaposition between an inverter, and the input edge of said inverter and an outgoing end -- since -- the ridge oscillator according to claim 1 constituted.

[Claim 3] the 2nd switching element which flows when said standby electrical-potential-difference setting means is connected between the input edge of said inverter, and said quartz resonator, it connects between the 1st switching element intercepted when said control signal is impressed, and the input edge of said inverter and said supply voltage line and said control signal is impressed -- since -- the ridge oscillator according to claim 1 or 2 constituted.

[Claim 4] Said feedback resistance element is a ridge oscillator according to claim 2 or 3 which consists of switching resistance elements intercepted when it connects possible [impression of said control signal] and the control signal concerned is impressed.

[Claim 5] A ridge oscillator given in any of claims 1-4 to which the 3rd switching element which connects the connection path concerned to other different supply voltage lines from said supply voltage line when said control signal is impressed to the connection path of said quartz resonator and said standby electrical-potential-difference setting means is connected they are.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the ridge oscillator which used the quartz resonator and the inverter as the component for voltage amplification.

[0002]

[Description of the Prior Art] Drawing 2 is the circuit diagram showing the fundamental configuration of the ridge oscillator which used the quartz resonator and the CMOS inverter.

[0003] As shown in drawing 2, it is the terminal T1 of a semiconductor chip. And T2 Quartz resonator Xtal It connects and they are capacitors C1 and C2 between the both ends and touch-down, respectively. It connects. Moreover, in the interior of a chip, it is CMOS inverter INV1 for voltage amplification. A feedback resistor R is said quartz resonator Xtal, respectively. It is a terminal T1 to juxtaposition. Terminal T2 It connects in between. The ridge oscillator 10 is constituted by these quartz resonators Xtal, capacitors C1 and C2, CMOS inverter INV1, and the feedback resistor R. And CMOS inverter INV1 An outgoing end to two CMOS inverters INV2 and INV3 for an output It minds and the output of a ridge oscillator 10 is taken out.

[0004] this ridge oscillator 10 -- setting -- quartz resonator Xtal Two capacitors C1 and C2 the output voltage generated by resonance -- that insufficiency and attenuation -- CMOS inverter INV1 for voltage amplification The magnification to compensate is made. At this time, it is CMOS inverter INV1 at a feedback resistor R. CMOS inverters INV2 and INV3 for an output which a sine wave is generated by this magnification and this follows by it since the output is fed back It shapes in waveform and is sent to the next step.

[0005] This ridge oscillator 10 is widely used as an internal oscillator of semiconductor devices, such as DSP (Digital SignalProcessor) which the high oscillation output of frequency stability is obtained to fluctuation of ambient temperature or supply voltage, for example, is built in a cellular phone etc.

[0006]

[Problem(s) to be Solved by the Invention] In this conventional oscillator circuit 10, it is a quartz resonator Xtal. It uses and the technical problem that the control which performs that starting for a short time at stability was difficult occurred.

[0007] When starting information communication equipment, such as a cellular phone, from a standby mode and the whole warm-up time is generally considered, the warm-up time required of a ridge oscillator is nsec order. However, when it is going to start the conventional ridge oscillator 10 shown in this drawing 2 from the time of a halt as it is, since few source effects at the time of power-up are used as a trigger, the oscillation output will be gradually stabilized from ec to a predetermined oscillation frequency and a predetermined oscillation output level over the time amount of Number msec several microseconds. Thus, since warm-up time is too long, and fluctuation of supply voltage is made into the trigger and stable starting is difficult in the conventional ridge oscillator 10, in the information communication equipment of a pocket mold, it also usually sets at the time of a standby mode, and it is a quartz resonator Xtal. It is the present condition to try not to stop an oscillation.

[0008] For this reason, with a cellular phone, for example at the time of a standby mode, it became, and was obliged to big power consumption, and there were 7mW and a problem that that power consumption reduction could not be aimed at about the information communication equipment of a pocket mold with the powerful reduction demand of the power consumption at the time of this standby.

[0009] This invention is made in view of such the actual condition, and when not using it for power consumption reduction, it aims at offering the ridge oscillator which can carry out starting of the oscillation suspended to stability promptly.

[0010]

[Means for Solving the Problem] In order to solve the trouble of the conventional technique mentioned above and to attain the above-mentioned purpose, in the ridge oscillator of this invention The negative feedback amplifying circuit connected to a quartz resonator, and said quartz resonator and juxtaposition (for example, with an inverter) It is the ridge oscillator which it has. it constitutes from a feedback resistance element connected to juxtaposition between the input edge of said inverter, and an outgoing

end -- having -- in the input edge of said negative feedback amplifying circuit It is characterized by connecting the standby electrical-potential-difference setting means which separates the input edge concerned from said quartz resonator, and is connected to a predetermined supply voltage line according to impression of a control signal.

[0011] the 2nd switching element which flows concretely when said standby electrical-potential-difference setting means is connected between the input edge of said inverter, and said quartz resonator, it connects between the 1st switching element intercepted when said control signal is impressed, and the input edge of said inverter and said supply voltage line and said control signal is impressed -- since -- it can be made to constitute

[0012] In such a ridge oscillator, according to the impression of said control signal which directs a halt, it is separated from said quartz resonator, it connects with a predetermined supply voltage line, and the input edge of an inverter is held with this supply voltage. Now, temporarily, supposing the supply voltage line to which the input edge of this inverter is connected is a grounding conductor, the input edge of an inverter will be dropped on a gland and an outgoing end will be held with the forward supply voltage VDD. Moreover, this supply voltage VDD is impressed to the one side edge of a quartz resonator through a feedback resistance element. Although the input edge of an inverter will be again connected to a quartz resonator in this condition if impression of a control signal is canceled, the input edge electrical potential difference of an inverter rises at a stretch from a grand level to VDD with the applied voltage (VDD) of the one side edge of a quartz resonator at this time. From an inverter usually carrying out reversal actuation by nsec order, an electrical potential difference will be impressed to the both ends of the quartz resonator concerned on the level of a full swing of 0 V-VDD in an instant, the big trigger current by this to a quartz resonator will flow after all, and a quartz resonator will shift to oscillation actuation very stable for a short time. As mentioned above, stability can be made to start the ridge oscillator concerned promptly by nsec order.

[0013] Moreover, said feedback resistance element is good to make it constitute from a switching resistance element intercepted when it connects possible [impression of said control signal] and the control signal concerned is impressed. In the above-mentioned explanation of operation, if it seems that forward electrical potential difference sufficient as an oscillation trigger is certainly impressed to an edge on the other hand, when the feedback path of a signal will be intercepted by the resistance element in which this switching is possible, it is because the power consumption through the external terminal of the chip to which an edge is usually connected on the other hand of this quartz resonator etc. of said quartz resonator can be lost and it is desirable to the power consumption reduction at the time of standby in this semantics.

[0014] Moreover, in the above-mentioned explanation of operation, in order for the forward supply voltage VDD of said quartz resonator to make it certainly impressed by the edge on the other hand, when said control signal is impressed to the connection path of said quartz resonator and said standby electrical-potential-difference setting means, it is good to prepare the 3rd switching element which connects the connection path concerned to other different supply voltage lines (the above-mentioned explanation of operation VDD) from said supply voltage line.

[0015]

[Embodiment of the Invention] Hereafter, the ridge oscillator concerning this invention is explained to a detail, referring to a drawing. Drawing 1 is the circuit diagram showing the configuration of this ridge oscillator. The sign 1 shows the ridge oscillator among drawing 1 . Moreover, Xtal A quartz resonator, and C1 and C2 A capacitor and INV1 The CMOS inverter for voltage amplification, and INV2 and INV3 The CMOS inverter for an output, and T1 and T2 The external terminal of a semiconductor device (for example, DSP) is shown, respectively, and these connection relation is the same as that of the conventional ridge oscillator 10 shown in drawing 2 R> 2.

[0016] At the ridge oscillator 1 of this operation gestalt, it is CMOS inverter INV1 for said voltage amplification. Node ND 1 of input one end Said external quartz resonator Xtal Said external terminal T1

to which the edge was connected on the other hand In between, with the NMOS transistor 2 and the PMOS transistor 3 by which the source and a drain were communalized, (hereafter, transistors 2 and 3 are named generically and it is called a "pass transistor") is connected. Moreover, it is the external terminals T1 and T2 for it to replace with the conventional feedback resister R of drawing 2 , and (for transistors 4 and 5 to be named generically and it hereafter, called a "feedback transistor") with the NMOS transistor 4 and the PMOS transistor 5 by which the source and a drain were communalized similarly. It connects in between.

[0017] The NOR gate 6 which, on the other hand, considers oscillation enable signal EOSC sent from CPU inside a semiconductor device etc. and a control signal S as an input, and the control signal line 8 which has an inverter 7 in an input side are wired. this oscillation enable signal EOSC and the control signal S -- both -- a low -- it is an active signal. Moreover, the NMOS transistor 9 by which this control signal line 8 was connected to the gate is CMOS inverter INV1 for said voltage amplification. Node ND 1 of input one end It connects between power-source potential lines (grounding conductor 10).

[0018] The gate of the PMOS transistors 3 and 5 is connected to the control signal line 8, respectively about said pass transistors 2 and 3 and the feedback transistors 4 and 5. Moreover, it is the node ND 2 which the gate of the NMOS transistors 2 and 4 is communalized and makes the node of said NOR gate 6 and inverter 7. It connects. Furthermore, the common gate and Node ND 2 of these NMOS transistors 2 and 4 The PMOS transistor 11 which connected the gate to the connection path is connected between the common drain of said pass transistors 2 and 3, and other power-source potential lines (VDD line 12).

[0019] Actuation of the ridge oscillator 1 constituted next as described above is explained. In the steady state which started this ridge oscillator 1 and passed for a while Quartz resonator Xtal Two capacitors C1 and C2 About the output voltage generated by resonance It is CMOS inverter INV1 for voltage amplification about the insufficiency and attenuation. The magnification to compensate should do. It is CMOS inverter INV1 at the feedback transistors 4 and 5 which work as a feedback resister at this time. From the output being fed back CMOS inverters INV2 and INV3 for an output which a sine wave is generated by this magnification and this follows by it It shapes in waveform and is sent to the next step. this operating state -- said NOR gate 6 -- two lows -- active signal, i.e., oscillation enable signal EOSC, since the control signal S is inputted -- node ND 2 of that output side "H (yes)" -- the control signal line 8 which showed level and was connected to the output side of the continuing inverter 7 shows "L (low)" level. For this reason, the pass transistors 2 and 3 and the feedback transistors 4 and 5 flow through all, and are intercepting both the PMOS transistor 11 connected to the VDD line 12, and the NMOS transistor 9 connected to the grounding conductor 10.

[0020] If motorcycle a stand of the ridge oscillator 1 concerned is directed from this operating state from CPU etc. and the level of a control signal S is changed from it to "H" from "L", a node ND 2 will change on "L" level, and the control signal line 8 will change on "H" level. For this reason, the pass transistors 2 and 3 and the feedback transistors 4 and 5 change to non-switch-on altogether, and both the PMOS transistor 11 connected to the VDD line 12 and the NMOS transistor 9 connected to the grounding conductor 10 change from non-switch-on to switch-on. CMOS inverter INV1 for voltage amplification by this Quartz resonator Xtal Connection is severed and it is a quartz resonator Xtal. An output is decreased and the oscillation suspends it.

[0021] Moreover, CMOS inverter INV1 for voltage amplification to coincidence Input-side node ND 1 It is dropped on touch-down potential and is CMOS inverter INV1. Quartz resonator Xtal which received and was separated by the pass transistors 2 and 3 and the feedback transistors 4 and 5 External terminal T1 A side is held with supply voltage VDD. For this reason, CMOS inverter INV1 The power consumption at the time of the stand motorcycle to twist is reduced by the value very small and small to extent which can be immediately disregarded after a stand motorcycle instruction only by leakage current.

[0022] Then, when the Wake rise (reboot) of the ridge oscillator 1 concerned is directed from CPU etc.

and the level of a control signal S is changed from "H" to "L", it is a node ND 2. On "H" level, the control signal line 8 changes at "L" level. For this reason, the pass transistors 2 and 3 and the feedback transistors 4 and 5 change from non-switch-on to switch-on altogether, and both the PMOS transistor 11 connected to the VDD line 12 and the NMOS transistor 9 connected to the grounding conductor 10 change from switch-on to non-switch-on. CMOS inverter INV1 for voltage amplification by this Quartz resonator Xtal It connects again.

[0023] this connection -- CMOS inverter INV1 for voltage amplification Node ND 1 of an input side from touch-down potential -- since -- it goes up to supply voltage VDD at a stretch. CMOS inverter INV1 for voltage amplification From usually carrying out reversal actuation by nsec order, it is a quartz resonator Xtal after all. An electrical potential difference is impressed to both ends on the level of a full swing of 0 V-VDD in an instant. Consequently, quartz resonator Xtal The big trigger current I flows and it is a quartz resonator Xtal. Shifting to oscillation actuation very stable for a short time, this oscillation output is the inverters INV2 and INV3 for an output. It shapes in waveform and is sent to the next step.

[0024] In the former, as pointed out previously, the reboot of an oscillation was unstable, and since the control which does not stop a regular oscillation was obliged in order to require time amount, the power consumption (about 7mW) at the time of a standby mode had become a problem. In the ridge oscillator 1 of this operation gestalt, since the electrical potential difference of the full swing according to supply voltage VDD is impressed in an instant, a reboot can carry out in a short time extremely at stability, and the halt control of it at the time of a standby mode will be attained, consequently power consumption reduction will progress about the ridge oscillator 1 concerned.

[0025] in addition, the time of stand BAIMODO -- quartz resonator Xtal CMOS inverter INV1 from -- for the purpose of separating, only the pass transistors 2 and 3 may be formed, it may replace with the feedback transistors 4 and 5, and the same feedback resistor R as usual may be connected. having used the feedback transistors 4 and 5 which can intercept a feedback path in this operation gestalt -- external terminal T1 CMOS inverter INV1 from -- separating -- this external terminal T1 It is for preventing the minded power consumption. When there are no worries about the power consumption from such the outside, it does not become a problem even if it replaces the feedback transistors 4 and 5 with a feedback resistor R.

[0026] Moreover, it is the external terminal T1 at the time of stand BAIMODO. The PMOS transistor 11 which connects a side to the supply voltage line 12 is also this external terminal T1. It is omissible if it seems that it is held on a to some extent high electrical potential difference. In this case, node ND 1 which was being beforehand fixed to "L" at the time of the next reboot It receives and is the external capacity C2 by the principle of a switched capacitor. The electrical potential difference of VDD level is impressed from the parasitic capacitance which is not illustrated, and the reboot concerned can be extremely performed in a short time like the above at stability. Only an about [1V] electrical-potential-difference difference is a quartz resonator Xtal by low-battery-ization of future and a power source. If it is when it cannot impress, the electrical-potential-difference impression more than supply voltage VDD is rather attained by the principle of a switched capacitor positively.

[0027]

[Effect of the Invention] As explained above, when not using it for power consumption reduction, according to the ridge oscillator concerning this invention, the ridge oscillator which can carry out starting of the oscillation suspended to stability promptly can be offered.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the configuration of the ridge oscillator concerning the operation gestalt of this invention.

[Drawing 2] It is the circuit diagram showing the fundamental configuration of the conventional ridge oscillator.

[Description of Notations]

1 -- Ridge Oscillator,

2 Three -- Pass transistor (the 1st switching element),

4 Five -- Feedback transistor (switching resistance element),

6 -- NOR Gate,

7 -- Inverter,

8 -- Control Signal Line,

9 -- NMOS Transistor (2nd Switching Element),

10 -- Grounding Conductor (Supply Voltage Line),

11 -- PMOS Transistor (3rd Switching Element),

12 -- VDD Line (Other Supply Voltage Lines),

C1 and C2 -- Capacitor,

INV1 -- CMOS inverter for voltage amplification,

INV2 and INV3 -- CMOS inverter for an output,

T1 and T2 -- External terminal of a semiconductor device,

Xtal -- Quartz resonator.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-190354

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.⁶

H 0 3 B 5/32
5/36

識別記号

F I

H 0 3 B 5/32
5/36

D

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平8-343515

(22) 出願日 平成 8 年(1996) 12月24日

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都港区北青山 3 丁目 6 番12号 青山富士ビル

(72) 発明者 高橋 博

東京都港区北青山 3 丁目 6 番12号 青山富士ビル
日本テキサス・インスツルメンツ株式会社社内

(72) 発明者 柳田 純貞

東京都港区北青山 3 丁目 6 番12号 青山富士ビル
日本テキサス・インスツルメンツ株式会社社内

(74) 代理人 弁理士 佐藤 隆久

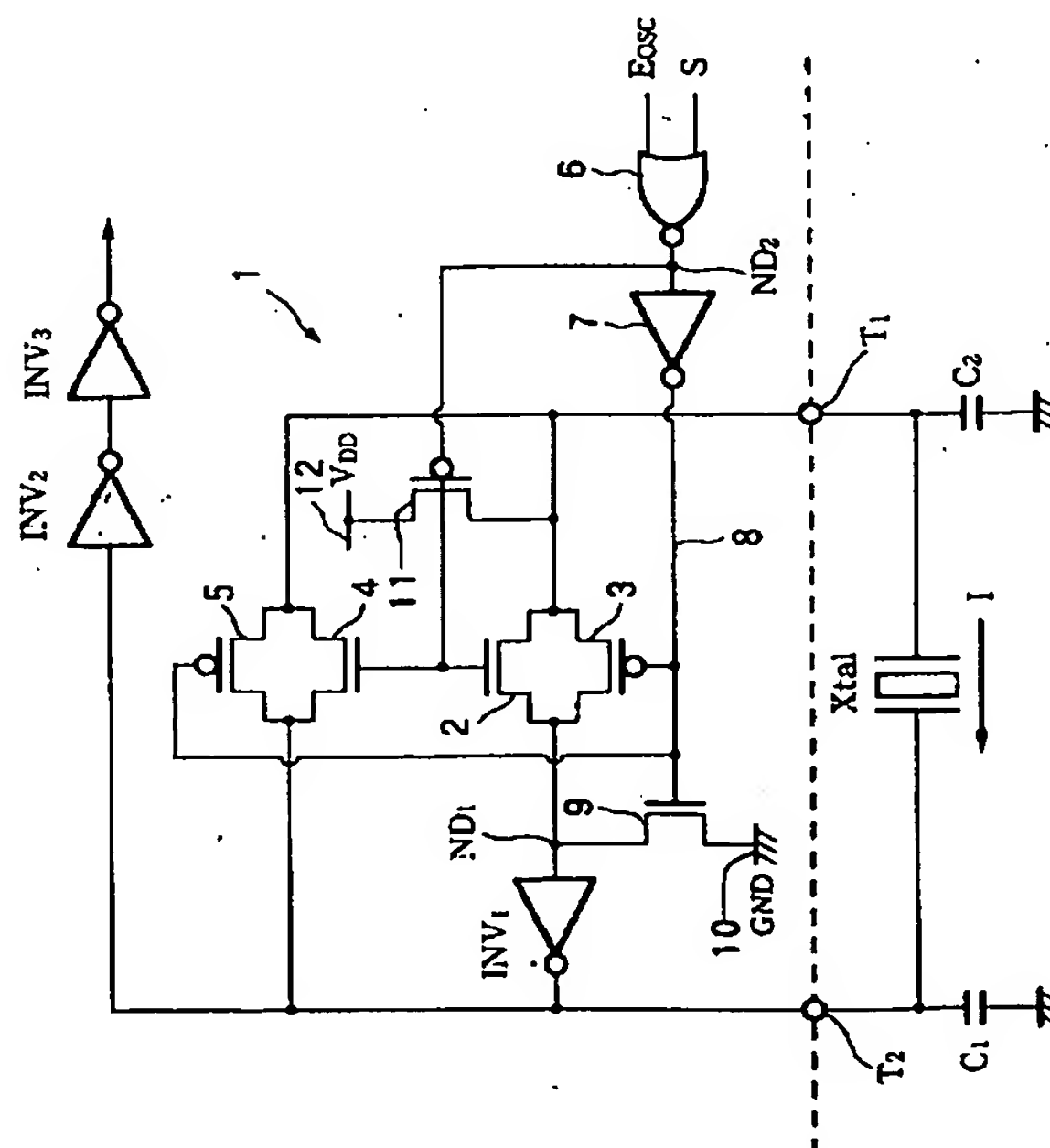
最終頁に続く

(54) 【発明の名称】 水晶発振回路

(57) 【要約】

【課題】 発振の起動を速やかに、かつ安定に行なうことができ、これによりスタンバイモード時に発振を停止させて消費電力低減を図る。

【解決手段】 水晶振動子 Xtal と、これに並列に接続されるインバータ INV₁ と、スイッチング抵抗素子 4、5 と、制御信号 S の印加に応じて、インバータ INV₁ の入力端を水晶振動子 Xtal から切り離し所定の電源電圧線 12 に接続させる待機電圧設定手段（具体的には、第 1 のスイッチング素子 2、3 と第 2 のスイッチング素子 9）とを有する。この切り離し及び再接続によって、インバータ INV₁ の入力端電圧は接地電位から V_{DD} まで一気に上昇し、インバータ INV₁ は通常 n s e c オーダで反転することから、結局、当該水晶振動子 Xtal の両端には 0 V ~ V_{DD} のフルスイングの電圧が瞬時に印加され、大きなトリガー電流 I が流れる。



(2)

1

【特許請求の範囲】

【請求項1】 水晶振動子と、
前記水晶振動子と並列に接続される負帰還増幅回路と、
を有する水晶発振回路であって、
前記負帰還増幅回路の入力端には、制御信号の印加に応じて、当該入力端を前記水晶振動子から切り離し所定の電源電圧線に接続させる待機電圧設定手段が接続されている水晶発振回路。

【請求項2】 前記負帰還増幅回路は、
インバータと、
前記インバータの入力端と出力端との間に並列に接続される帰還抵抗素子と、から構成されている請求項1に記載の水晶発振回路。

【請求項3】 前記待機電圧設定手段は、
前記インバータの入力端と前記水晶振動子との間に接続され、前記制御信号が印加されたときに遮断する第1のスイッチング素子と、
前記インバータの入力端と前記電源電圧線との間に接続され、前記制御信号の印加されたときに導通する第2のスイッチング素子と、から構成されている請求項1または2に記載の水晶発振回路。

【請求項4】 前記帰還抵抗素子は、前記制御信号が印加可能に接続され、当該制御信号が印加されたときに遮断するスイッチング抵抗素子から構成されている請求項2または3に記載の水晶発振回路。

【請求項5】 前記水晶振動子と前記待機電圧設定手段との接続経路には、前記制御信号が印加されたときに、当該接続経路を前記電源電圧線と異なる他の電源電圧線に接続させる第3のスイッチング素子が接続されている請求項1～4の何れかに記載の水晶発振回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、水晶振動子と、その電圧増幅用素子としてのインバータとを用いた水晶発振回路に関する。

【0002】

【従来の技術】図2は、水晶振動子とCMOSインバータとを用いた水晶発振回路の基本的な構成を示す回路図である。

【0003】図2に示すように、半導体チップの端子T₁及びT₂に、水晶振動子Xtalが接続され、その両端と接地との間に夫々キャパシタC₁、C₂が接続されている。また、チップ内部では、電圧増幅用のCMOSインバータINV₁と帰還抵抗Rとが、それぞれ前記水晶振動子Xtalと並列に端子T₁と端子T₂との間に接続されている。これら水晶振動子Xtal、キャパシタC₁、C₂、CMOSインバータINV₁および帰還抵抗Rにより、水晶発振回路10が構成されている。そして、CMOSインバータINV₁の出力端から、2つの出力用CMOSインバータINV₂、INV₃を介して水晶発振回

2

路10の出力が取り出されている。

【0004】この水晶発振回路10においては、水晶振動子Xtalと2つのキャパシタC₁、C₂との共振により発生した出力電圧について、その不足分及び減衰を電圧増幅用のCMOSインバータINV₁で補う増幅がなされる。このとき帰還抵抗RでCMOSインバータINV₁の出力がフィードバックされていることから、この増幅によって正弦波が生成され、これが続く出力用CMOSインバータINV₂、INV₃で波形整形されて次段に送られる。

【0005】この水晶発振回路10は、周囲温度や電源電圧の変動に対して周波数安定度の高い発振出力が得られ、例えば携帯電話等に内蔵されるDSP(Digital SignalProcessor)などの半導体素子の内部発振器として広く用いられている。

【0006】

【発明が解決しようとする課題】この従来の発振回路10では、水晶振動子Xtalを用いており、その起動を短時間に安定に行なう制御が難しいといった課題があった。

【0007】一般に、携帯電話等の情報通信機器をスタンバイモードから起動させる場合に、全体の起動時間を考えると、水晶発振回路に要求される起動時間はnsecオーダーである。しかし、この図2に示す従来の水晶発振回路10をそのまま停止時から起動させようとすると、パワーアップ時の僅かな電源変動をトリガーとして用いることから、発振出力は、数μsecから数msecの時間をかけて所定の発振周波数及び発振出力レベルまで徐々に安定していくこととなる。このように、従来の水晶発振回路10では起動時間が長すぎ、また電源電圧の変動をトリガーとしているので安定な起動が困難であることから、携帯型の情報通信機器においては、通常、スタンバイモード時においても水晶振動子Xtalの発振を停止させないようにしているのが現状である。

【0008】このため、例えば携帯電話では、スタンバイモード時に7mWとかなり大きな電力消費を余儀なくされ、かかる待機時の消費電力の低減要求が強い携帯型の情報通信機器について、その消費電力低減が図れないといった問題があった。

【0009】本発明は、このような実情に鑑みてなされ、消費電力低減のために使用しないときは停止されている発振の起動を、速やかに、かつ、安定に行なうことができる水晶発振回路を提供することを目的とする。

【0010】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上記目的を達成するために、本発明の水晶発振回路では、水晶振動子と、前記水晶振動子と並列に接続される負帰還増幅回路（例えば、インバータと、前記インバータの入力端と出力端との間に並列に接続される帰還抵抗素子とから構成される）を有する水晶発振回

(3)

3

路であって、前記負帰還増幅回路の入力端には、制御信号の印加に応じて、当該入力端を前記水晶振動子から切り離し所定の電源電圧線に接続させる待機電圧設定手段が接続されていることを特徴とする。

【0011】具体的に、前記待機電圧設定手段は、前記インバータの入力端と前記水晶振動子との間に接続され、前記制御信号が印加されたときに遮断する第1のスイッチング素子と、前記インバータの入力端と前記電源電圧線との間に接続され、前記制御信号の印加されたときに導通する第2のスイッチング素子と、から構成させることができる。

【0012】このような水晶発振回路では、停止を指示する前記制御信号の印加に応じて、インバータの入力端が前記水晶振動子から切り離され所定の電源電圧線に接続されて、この電源電圧で保持される。いま、仮に、このインバータの入力端が接続される電源電圧線が接地線であるとする、インバータの入力端はグランドに落とされ、出力端が正の電源電圧 V_{DD} で保持される。また、この電源電圧 V_{DD} は、帰還抵抗素子を介して水晶振動子の一方端に印加される。この状態で、制御信号の印加が解除されると、インバータの入力端が再び水晶振動子に接続されるが、このとき、インバータの入力端電圧は、水晶振動子の一方端の印加電圧(V_{DD})によって、グランドレベルから V_{DD} まで一気に上昇する。インバータは通常 $nsec$ オーダーで反転動作することから、結局、当該水晶振動子の両端には $0V \sim V_{DD}$ のフルスイングのレベルで電圧が瞬時に印加され、これにより水晶振動子に大きなトリガー電流が流れ、水晶振動子は極めて短時間に安定な発振動作に移行することとなる。以上より、当該水晶発振回路を、 $nsec$ オーダーで速やかに、しかも安定に起動させることができる。

【0013】また、前記帰還抵抗素子は、前記制御信号が印加可能に接続され、当該制御信号が印加されたときに遮断するスイッチング抵抗素子から構成させるとよい。上記の動作説明において、前記水晶振動子の一方端に発振トリガーとして十分な正の電圧が確実に印加されるようであれば、このスイッチング可能な抵抗素子によって信号のフィードバック経路を遮断しておく、この水晶振動子の一方端が通常接続されるチップの外部端子等を介した電力消費を無くすことができ、この意味で待機時の消費電力低減に好ましいからである。

【0014】また、上記の動作説明において、前記水晶振動子の一方端に正の電源電圧 V_{DD} が確実に印加させるためには、前記水晶振動子と前記待機電圧設定手段との接続経路に、前記制御信号が印加されたときに、当該接続経路を前記電源電圧線と異なる他の電源電圧線(上記動作説明では、 V_{DD})に接続させる第3のスイッチング素子を設けるとよい。

【0015】

【発明の実施の形態】以下、本発明に係わる水晶発振回

4

路を、図面を参照しながら詳細に説明する。図1は、この水晶発振回路の構成を示す回路図である。図1中、符号1は水晶発振回路を示している。また、 $Xtal$ は水晶振動子、 C_1 、 C_2 はキャパシタ、 INV_1 は電圧増幅用のCMOSインバータ、 INV_2 、 INV_3 は出力用CMOSインバータ、 T_1 、 T_2 は半導体素子(例えば、DSP)の外部端子をそれぞれ示し、これらの接続関係は図2に示す従来の水晶発振回路10と同様である。

【0016】本実施形態の水晶発振回路1では、前記電圧増幅用のCMOSインバータ INV_1 の入力端側のノード ND_1 と、外付けの前記水晶振動子 $Xtal$ の一方端が接続された前記外部端子 T_1 との間に、ソース及びドレインが共通化されたNMOSトランジスタ2とPMOSトランジスタ3と(以下、トランジスタ2、3を総称して“パストランジスタ”という)が接続されている。また、図2の従来の帰還抵抗 R に代えて、同様にソース及びドレインが共通化されたNMOSトランジスタ4とPMOSトランジスタ5と(以下、トランジスタ4、5を総称して“フィードバックトランジスタ”という)が、外部端子 T_1 、 T_2 間に接続されている。

【0017】一方、半導体素子内部のCPU等から送られてくる発振イネーブル信号 E_{OSC} と制御信号 S とを入力とするNORゲート6、及びインバータ7を入力側に有する制御信号線8が配線されている。この発振イネーブル信号 E_{OSC} および制御信号 S は、共にローアクティブの信号である。また、この制御信号線8がゲートに接続されたNMOSトランジスタ9が、前記電圧増幅用のCMOSインバータ INV_1 の入力端側のノード ND_1 と、電源電位線(接地線10)との間に接続されている。

【0018】前記パストランジスタ2、3及びフィードバックトランジスタ4、5について、そのPMOSトランジスタ3、5のゲートは、それぞれ制御信号線8に接続されている。また、NMOSトランジスタ2、4のゲートは、共通化され、前記NORゲート6とインバータ7との接続点をなすノード ND_2 に接続されている。さらに、このNMOSトランジスタ2、4の共通ゲートとノード ND_2 との接続経路にゲートを接続させたPMOSトランジスタ11が、前記パストランジスタ2、3の共通ドレインと、他の電源電位線(V_{DD} 線12)との間に接続されている。

【0019】つぎに、上記したように構成された水晶発振回路1の動作を説明する。この水晶発振回路1を起動して暫く経過した定常状態においては、水晶振動子 $Xtal$ と2つのキャパシタ C_1 、 C_2 との共振により発生した出力電圧について、その不足分及び減衰を電圧増幅用のCMOSインバータ INV_1 で補う増幅がなされ、このとき帰還抵抗として働くフィードバックトランジスタ4、5でCMOSインバータ INV_1 の出力がフィードバックされていることから、この増幅によって正弦波が

(4)

5

生成され、これが続く出力用CMOSインバータINV₂、INV₃で波形整形されて次段に送られる。この動作状態では、前記NORゲート6に2つのローアクティブの信号、即ち発振イネーブル信号E_{OSC}と制御信号Sとが入力されているため、その出力側のノードND₂は“H（ハイ）”レベルを示し、続くインバータ7の出力側に接続された制御信号線8は“L（ロー）”レベルを示している。このため、パストランジスタ2、3及びフィードバックトランジスタ4、5は全て導通し、V_{DD}線12に接続されたPMOSTランジスタ11、及び接地線10に接続されたNMOSTランジスタ9は、共に遮断している。

【0020】この動作状態から、当該水晶発振回路1のスタンバイがCPU等から指示され、制御信号Sのレベルが“L”から“H”に切り替えられると、ノードND₂は“L”レベルに、制御信号線8は“H”レベルに遷移する。このため、パストランジスタ2、3及びフィードバックトランジスタ4、5は全て非導通状態に遷移し、V_{DD}線12に接続されたPMOSTランジスタ11、及び接地線10に接続されたNMOSTランジスタ9は、共に非導通状態から導通状態に遷移する。これにより、電圧増幅用のCMOSインバータINV₁と水晶振動子Xtalとの接続が絶たれ、水晶振動子Xtalの出力は減衰して、その発振が停止する。

【0021】また、同時に、電圧増幅用のCMOSインバータINV₁の入力側ノードND₁が接地電位に落とされ、CMOSインバータINV₁に対しパストランジスタ2、3及びフィードバックトランジスタ4、5により切り離された水晶振動子Xtalの外部端子T₁側が電源電圧V_{DD}で保持される。このため、CMOSインバータINV₁によるスタンバイ時の消費電力は、リーク電流のみで極めて小さく、スタンバイ命令後ただちに無視できる程度まで小さい値に低減される。

【0022】その後、当該水晶発振回路1のウェイクアップ（再起動）がCPU等から指示され、制御信号Sのレベルが“H”から“L”に切り替えられると、ノードND₂は“H”レベルに、制御信号線8は“L”レベルに遷移する。このため、パストランジスタ2、3及びフィードバックトランジスタ4、5は全て非導通状態から導通状態に遷移し、V_{DD}線12に接続されたPMOSTランジスタ11、及び接地線10に接続されたNMOSTランジスタ9は、共に導通状態から非導通状態に遷移する。これにより、電圧増幅用のCMOSインバータINV₁と水晶振動子Xtalとが再び接続される。

【0023】この接続により、電圧増幅用のCMOSインバータINV₁の入力側のノードND₁が、接地電位から一気に電源電圧V_{DD}まで上昇する。電圧増幅用のCMOSインバータINV₁は、通常nsecオーダーで反転動作することから、結局、水晶振動子Xtalの両端には、0V～V_{DD}のフルスイングのレベルで電圧が

6

瞬時に印加される。この結果、水晶振動子Xtalに大きなトリガー電流Iが流れ、水晶振動子Xtalは極めて短時間に安定な発振動作に移行することとなり、この発振出力は出力用インバータINV₂、INV₃で波形整形されて次段に送られる。

【0024】従来では、先に指摘したように、発振の再起動が不安定で時間を要するため、常時発振を停止させない制御が余儀なくされることからスタンバイモード時の電力消費（約7mW）が問題となっていた。本実施形態の水晶発振回路1では、電源電圧V_{DD}に応じたフルスイングの電圧が瞬時に印加されることから、再起動が極めて短時間に安定に行なうことができ、スタンバイモード時の停止制御が可能となり、この結果、当該水晶発振回路1に関して消費電力低減が進展することとなる。

【0025】なお、スタンバイモード時に水晶振動子XtalをCMOSインバータINV₁から切り離すという目的では、パストランジスタ2、3のみ設け、フィードバックトランジスタ4、5に代えて、従来と同様な帰還抵抗Rを接続させてもよい。本実施形態において、帰還経路を遮断可能なフィードバックトランジスタ4、5を用いたのは、外部端子T₁をCMOSインバータINV₁から切り離し、この外部端子T₁を介した電力消費を防止するためである。このような外部からの電力消費の心配が無い場合には、フィードバックトランジスタ4、5を帰還抵抗Rに代えても問題となることはない。

【0026】また、スタンバイモード時に外部端子T₁側を電源電圧線12に接続させるPMOSTランジスタ11も、この外部端子T₁がある程度高い電圧で保持されるようであれば省略することができる。この場合、次の再起動時には、予め“L”に固定していたノードND₁に対し、スイッチド・キャパシタの原理によって外部容量C₂と図示せぬ寄生容量とからV_{DD}レベルの電圧が印加され、上記と同様に当該再起動を極めて短時間に安定に行なうことができる。今後、電源の低電圧化によって、例えば1V程度の電圧差しか水晶振動子Xtalに印加できない場合にあっては、むしろ積極的にスイッチド・キャパシタの原理によって、電源電圧V_{DD}以上の電圧印加が可能となる。

【0027】

【発明の効果】以上説明してきたように、本発明に係わる水晶発振回路によれば、消費電力低減のために使用しないときは停止されている発振の起動を、速やかに、かつ、安定に行なうことができる水晶発振回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施形態に係わる水晶発振回路の構成を示す回路図である。

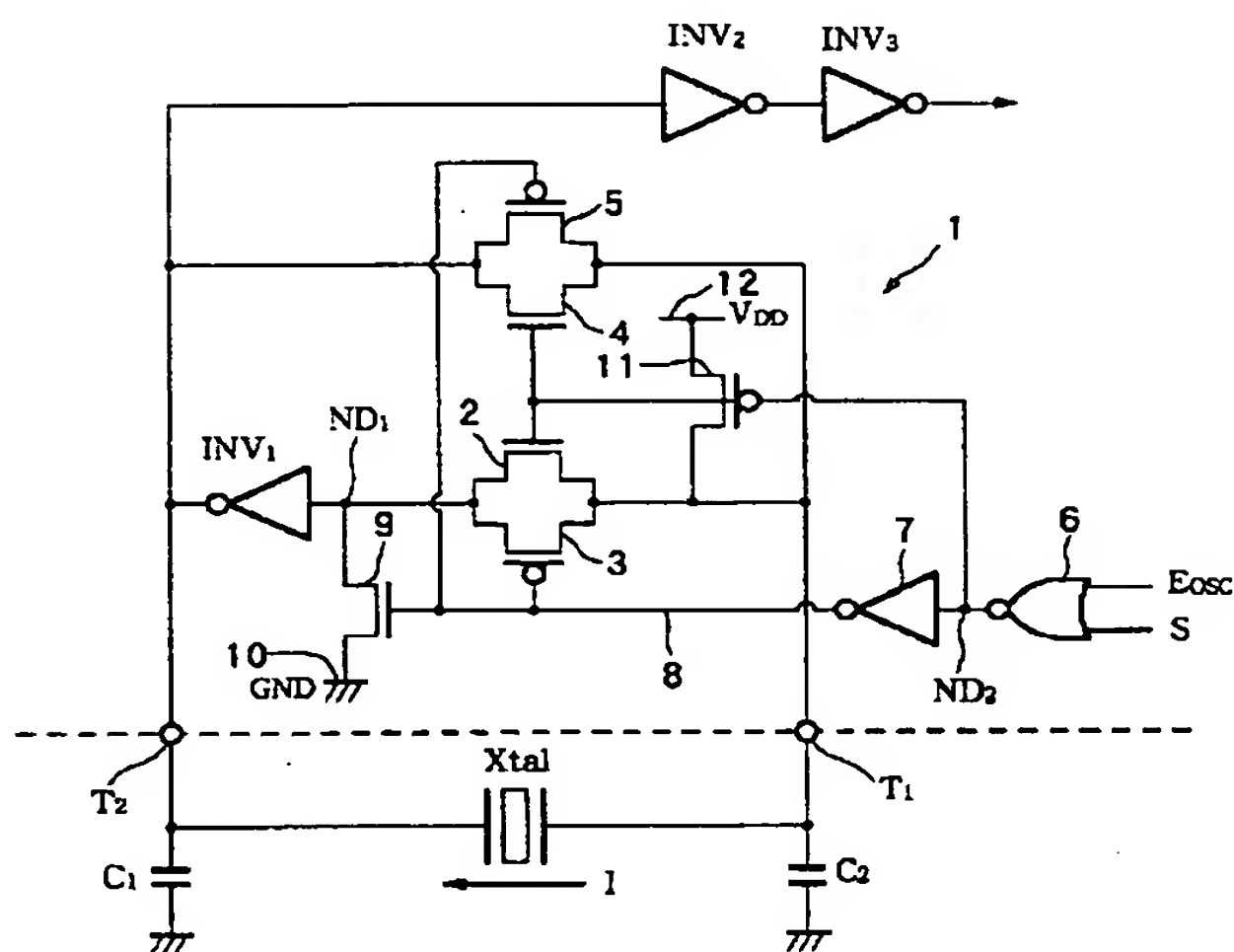
【図2】従来の水晶発振回路の基本的な構成を示す回路図である。

【符号の説明】

(5)

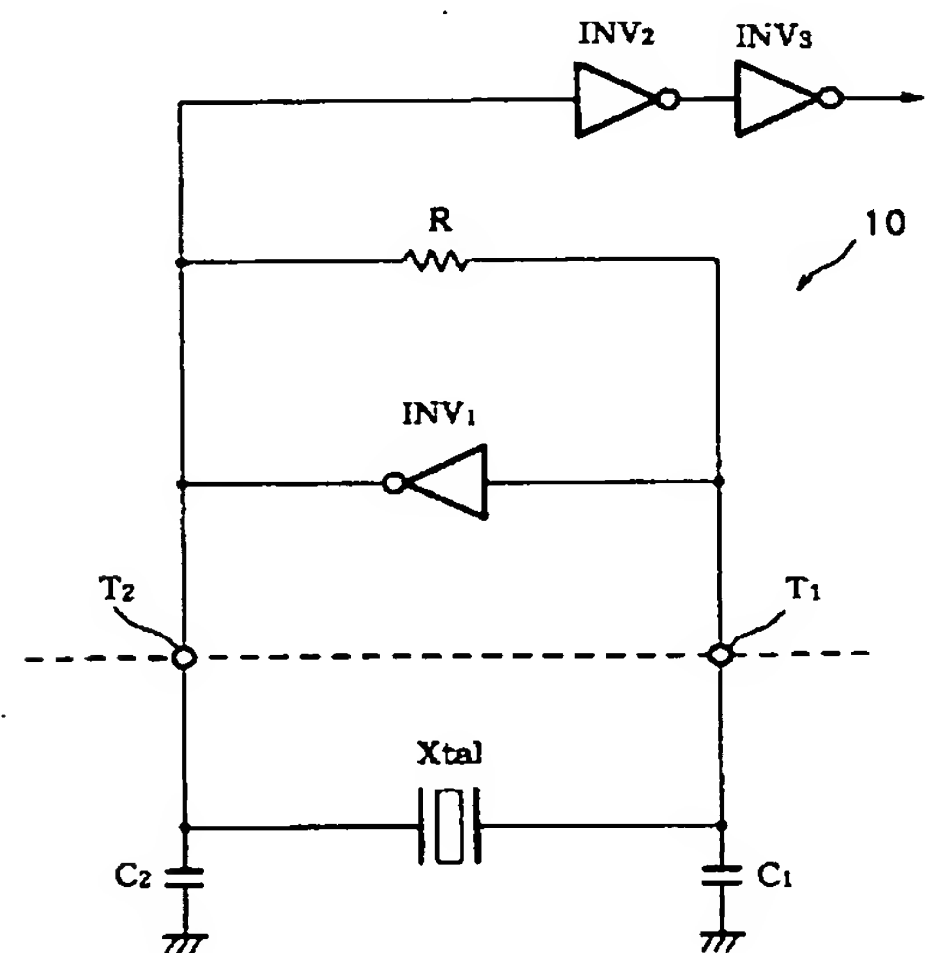
- 7
- 1 …水晶発振回路、
 2, 3…パストランジスタ（第1のスイッチング素子）、
 4, 5…フィードバックトランジスタ（スイッチング抵抗素子）、
 6 …NORゲート、
 7 …インバータ、
 8 …制御信号線、
 9 …NMOSトランジスタ（第2のスイッチング素子）、
 10

【図1】



- 8
- 10 …接地線（電源電圧線）、
 11 …PMOSトランジスタ（第3のスイッチング素子）、
 12 …V_{DD}線（他の電源電圧線）、
 C₁, C₂ …キャパシタ、
 INV₁ …電圧増幅用のCMOSインバータ、
 INV₂, INV₃ …出力用CMOSインバータ、
 T₁, T₂ …半導体素子の外部端子、
 Xtal …水晶振動子。

【図2】



フロントページの続き

(72) 発明者 君塚 寛史
 東京都港区北青山3丁目6番12号 青山富士ビル日本テキサス・インスツルメンツ株式会社内